

Family list

1 family member for:

JP5119351

Derived from 1 application.

1 LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION THEREOF

Publication Info: **JP5119351 A** - 1993-05-18

Data supplied from the *esp@cenet* database - Worldwide

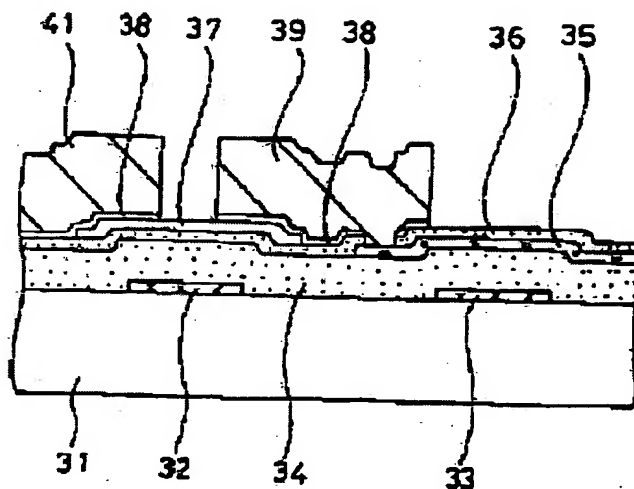
LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION THEREOF

Patent number: JP5119351
Publication date: 1993-05-18
Inventor: HIGUCHI MASARU
Applicant: SANYO ELECTRIC CO
Classification:
- international: G02F1/136; H01L21/336; H01L27/12; G02F1/13;
H01L21/02; H01L27/12; (IPC1-7): G02F1/136;
H01L21/336; H01L27/12; H01L29/784
- european:
Application number: JP19910283104 19911029
Priority number(s): JP19910283104 19911029

Report a data error here

Abstract of JP5119351

PURPOSE: To facilitate etching control and to improve etching accuracy by providing an N<+> a-Si film in a region exclusive of an a-Si film formed in correspondence to the active region of a transistor. **CONSTITUTION:** The N<+> a-Si film 38 self-aligned by a drain electrode 41 and a source electrode 39 is provided. Further, an a-Si film 37 is formed to a prescribed shape and thereafter, the N<+> a-Si film 38 and the source electrode 39 are formed over the entire surface. After the drain electrode 41 and the source electrode 39 are formed, etching is executed under self-alignment with these electrodes 39, 41 as a mask. This etching is ended by detecting an insulating film 36 formed under the N<+> a-Si film 38. Then, this N<+> a-Si film 38 is exposed also in the regions exclusive of the channel region of a transistor and the etching area of the N<+> a-Si film 38 is greatly increased to the area larger than the conventional area. Consequently, the etching rate lowers.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-119351

(43) 公開日 平成5年(1993) 5月18日

(51) Int. Cl. ⁵

G02F 1/136

H01L 27/12

21/336

29/784

識別記号

500

9018-2K

A 8728-4M

9056-4M

F I

H01L 29/78

311

P

審査請求 未請求 請求項の数4 (全6頁)

(21) 出願番号

特願平3-283104

(22) 出願日

平成3年(1991)10月29日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 樋口 勝

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

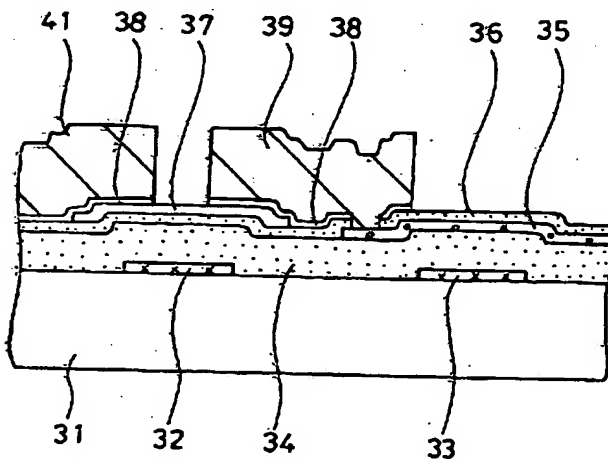
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【目的】 トランジスタのチャンネル領域に対応するN⁺a-Si膜のエッチングを精度高くエッチングすることを目的とする。

【構成】 N⁺a-Si膜(38)を全面に形成し、ソース電極(39)、ド레인電極(41)およびこれと一体のド레인ラインをマスクにしてエッチングし、SiNx膜(36)を検出して、このエッチングを終了する。



31: 絶縁性基板

33: 補助容量電極

35: 表示電極

37: a-Si膜

39: ソース電極

32: ゲート

34: 第1のゲート絶縁膜

36: 第2のゲート絶縁膜

38: N⁺a-Si膜

41: ド레인電極

【特許請求の範囲】

【請求項1】 透明な絶縁性基板上に形成された複数のゲートそれぞれと一体の複数本のゲートラインと、このゲートラインと絶縁層を介して交差するように形成された複数本のドレインラインと、前記ドレインラインと前記ゲートラインの交点の近傍に形成されこのゲートラインと一体のドレイン電極がドレイン領域に延在されたトランジスタと、このトランジスタのソース領域から延在されたソース電極と電気的に接続された表示電極とを有する液晶表示装置において、

前記ドレイン電極および前記ソース電極の直下には前記トランジスタを構成する不純物がドーピングされた非単結晶シリコン膜が設けられ、この非単結晶シリコン膜は前記ドレイン電極およびソース電極とセルフアラインされていることを特徴とした液晶表示装置。

【請求項2】 透明な絶縁性基板上に形成された複数のゲートそれぞれと一体の複数本のゲートラインと、このゲートラインと交差しないように形成された補助容量電極と一体の補助容量ラインと、この補助容量ラインおよび前記ゲートライン上に形成された第1のゲート絶縁膜と、前記補助容量電極と少なくとも一部が重畳して形成された表示電極と、この表示電極および前記第1のゲート絶縁膜上に形成された第2のゲート絶縁膜と、前記ゲートを一構成とするトランジスタの活性領域に形成されたノンドープの非単結晶シリコン膜と、少なくとも前記トランジスタのソース領域およびドレイン領域に形成された不純物をドーピングした非単結晶シリコン膜と、前記トランジスタのドレイン領域に対応する領域から延在されたドレイン電極と一体のドレインラインと、前記トランジスタのソース領域から延在され前記表示電極と電気的に接続されたソース電極とを有する液晶表示装置において、

前記不純物がドーピングされた非単結晶シリコン膜は前記活性領域外に設けられ、前記ドレイン電極、前記ドレインラインおよび前記ソース電極とセルフアラインされていることを特徴とした液晶表示装置。

【請求項3】 透明な絶縁性基板上にトランジスタを構成するゲートおよびこのゲートの上の絶縁膜で絶縁されたノンドープの非単結晶シリコン膜と不純物がドーピングされた非単結晶シリコン膜とを形成する工程と、この非単結晶シリコン膜上に前記トランジスタのドレイン領域から延在されたドレインラインおよびソース領域から延在されたソース電極を形成する工程とを少なくとも有することを特徴とした液晶表示装置の製造方法において、前記ノンドープの非単結晶シリコン膜をパターンニングした後、前記不純物がドーピングされた非単結晶シリコン膜を、前記ドレインラインおよびソース電極でセルフアラインし、前記絶縁膜の露出を検出してエッチングを終了することを特徴とした液晶表示装置の製造方法。

【請求項4】 透明な絶縁性基板上にゲートと一体の複

数本のゲートラインを形成する工程と、全面に第1のゲート絶縁膜を形成する工程と、この第1のゲート絶縁膜上に透明材料よりなる表示電極をマトリックス状に形成する工程と、全面に第2のゲート絶縁膜を形成する工程と、前記ゲートを一構成とするトランジスタの活性領域にノンドープおよび不純物がドーピングされた非単結晶シリコン膜を形成する工程と、前記トランジスタのドレイン領域からドレインラインに延在し、前記トランジスタのソース領域と前記表示電極とを接続する電極を形成する工程とを有する液晶表示装置の製造方法において、前記ノンドープの非単結晶シリコン膜をパターンニングした後、前記不純物がドーピングされた非単結晶シリコン膜を前記絶縁性基板全面に形成した後、前記表示電極との接続を施した前記電極を形成し、この電極をマスクとして前記不純物がドーピングされた非単結晶シリコン膜をエッチングし、前記第2のゲート絶縁膜の露出を検出してこのエッチングを終了することを特徴とした液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置およびその製造方法に関し、特にトランジスタの非単結晶シリコン層の構造および製造方法に関するものである。

【0002】

【従来の技術】 一般に非単結晶シリコン膜を用いた液晶表示装置としては、例えば特開平3-141325号公報の如く、ノンドープのアモルファスシリコン膜(a-Si膜)およびN'型にドーピングされたアモルファスシリコン膜(N'a-Si膜)を用いたTFT構造のものがあり、これはN'a-Si膜のチャンネル領域をエッチングする際、SiNx膜をエッチングストッパーに採用していた。

【0003】 しかしこの構造では、SiNx膜の形成が必要であるため、SiNx膜との接合面で歪みや欠陥等を生じるので以下の構造および製法で達成されているものがあつた。先づ図7に示す如く、ガラス基板(1)にゲート(2)および補助容量電極(3)を形成し、全面に第1のゲート絶縁膜(4)を積層した後、前記補助容量電極(3)と重畳する位置にITOより成る表示電極(5)が形成されて図8の構成が達成される。

【0004】 続いて図9の如く、第2のゲート絶縁膜(6)がガラス基板(1)全面に積層された後、順次a-Si膜(7)およびN'a-Si膜(8)を積層し、周知とホットエッチング技術により、TFTの活性領域のみを残してa-Si膜(7)およびN'a-Si膜(8)が同時にエッチングされ、図10の如き構成が達成される。

【0005】 更に、図11の如く、ソース電極(9)と表示電極(5)の接続のために、コンタクト孔(10)を形成し、全面に例えばAlを積層し、ホットエッチング

10

20

30

40

50

によりソース電極(9)およびドレイン電極(11)を形成した。最後に、図12の如く、ソース電極(9)およびドレイン電極(11)をマスクとして、TFTのチャンネル領域に対応するN'-a-Si膜(8)をエッチングし、TFTが形成されていた。

【0006】

【発明が解決しようとする課題】前述の製造方法に於いて、図12のN'-a-Si膜(8)エッチング工程には以下の問題があった。第1に、N'-a-Si膜(8)とa-Si膜(7)は、実質的に同じ組成の膜であるため、N'-a-Si膜(8)のみエッチングすることができず、a-Si膜(7)をもエッチングしてしまう問題があった。

【0007】第2に、N'-a-Si膜(8)のエッチング面積が小さいため、エッチング時のエッチング面積依存性により、エッチングレートが増加し、精度のあるエッチング終了検出ができず、前述と同様にa-Si膜(7)がエッチングされ、スイッチング特性を劣化させる問題があった。

【0008】

【課題を解決するための手段】本発明は、前述の課題に鑑みてなされ、N'-a-Si膜(38)を活性領域以外にも設け、ドレイン電極(41)およびソース電極(39)でセルフアラインされたN'-a-Si膜(38)を設けることで解決するものである。更には、a-Si膜(37)を所定の形状に形成した後、全面にN'-a-Si膜(38)を全面に形成し、ドレイン電極(41)およびソース電極(39)を形成した後、この電極(39)、(41)をマスクとしてセルフアラインしながらエッチングし、N'-a-Si膜(38)の下に形成された絶縁膜(36)を検出して、このエッチングを終了することで解決するものである。

【0009】

【作用】前述の構成にすると、トランジスタの活性領域に対応して形成されたa-Si膜(37)以外の領域にN'-a-Si膜(38)が設けられるので、トランジスタのチャンネル領域以外にもこのN'-a-Si膜(38)が露出される。従ってN'-a-Si膜(38)のエッチング面積は、従来の面積より大幅に増加し、この結果エッチングレートが低下し、エッチング制御を容易にすることができる。

【0010】更には、前述の方法に依れば、N'-a-Si膜(38)をエッチングすると、チャンネル領域のa-Si膜(37)が露出すると同時に、ソース電極(39)やドレイン電極(41)の周囲に設けられた第2のゲート絶縁膜(36)も露出する。例えば分光分析法等でこの第2のゲート絶縁膜(36)の露出を検出することで、精度の高いエッチング終点を達成できる。

【0011】

【実施例】以下に本発明の実施例を図1乃至図6を用い

て説明する。先ず図1の如く、透明な絶縁性基板(31)上にゲート(32)と一体の複数本のゲートラインおよび補助容量電極(33)と一体の補助容量ラインを形成する工程がある。前記基板(31)は、例えばガラスより成り、電極(32)、(33)は、約1500ÅのCrより成る。図1では、ゲート(32)および補助容量電極(33)のみを示しているが、実際は、ゲートラインと補助容量ラインが実質的に平行に複数本配置されている。ゲート(32)は、ゲートラインの一部またはゲートラインから突出して設けられ、補助容量電極(33)は補助容量ラインの一部を太く設けて成している。材料は、Cr以外でも良く、Al、Ta等が考えられ、この材料では通常表面に酸化膜が設けられている。

【0012】続いて、図2に示す如く、基板(31)全面に第1のゲート絶縁膜(34)を形成し、前記補助容量電極(33)と少なくとも一部が重畳するように表示電極(35)を形成する工程がある。このゲート絶縁膜(34)は、SiNx膜より成り、PCVDで約3000Åの厚さに積層される。また表示電極(35)は、ITOをスパッタリングによって形成している。

【0013】続いて、図3の如く、ガラス基板(31)全面に第2のゲート絶縁膜(36)を形成する工程がある。このゲート絶縁膜(36)も、SiNx膜より成り、PCVDで約2000Åの厚さに形成される。続いて、図4の如く、前記第2のゲート絶縁膜(36)上に、所定のパターンのa-Si膜(37)を形成した後、基板(31)全面にN'-a-Si膜(38)を積層する工程がある。

【0014】前記a-Si膜(37)は、PCVDで約1000Åの厚さに積層され、ゲート(32)上に対応するトランジスタの活性領域およびゲートラインとドレインラインの交差部が残るようにエッチングされる。このエッチング工程によりa-Si膜(37)は外部雰囲気露出され、表面に酸化膜や欠陥等が発生するので、ライトエッチングが施される。その後、直ちにPCVDで約500ÅのN'-a-Si膜(38)が基板(31)全面に積層される。

【0015】更に、図5に示す如く、表示電極(35)とソース電極(39)の電氣的接続を達成するために、先ずコンタクト孔(40)を形成し、ドレイン電極(41)およびソース電極(39)を形成する工程がある。ここで電極(39)、(41)は、同時に形成され、約1000ÅのMoおよび約7000ÅのAlが順次スパッタリング等で形成され、この後周知のホットエッチングによりパターニングされる。ここでドレイン電極(41)は、ドレインラインと一体で形成され、前記ゲートラインと交差する方向に延在される。またソース電極(39)は、ソース領域上から表示電極(35)上のコンタクト孔(40)まで延在され、表示電極(35)と電氣的に接続される。

10

20

30

40

50

【0016】従って、図5からも判る通り、トランジスタのチャンネル領域、ドレイン電極(41)およびドレインラインの周囲、ソース電極(39)の周囲、および表示電極(35)上に N^+a-Si 膜(38)が露出される。最後に、図6に示す如く、ドレイン電極(41)と一体のドレインラインおよびソース電極(39)をマスクとして、 N^+a-Si 膜(38)をエッチングする工程がある。

【0017】本工程は、本発明の特徴とする工程であり、前述の如く、トランジスタのチャンネル領域以外にも N^+a-Si 膜が存在するため、 N^+a-Si 膜(38)のエッチング面積が従来例で述べた面積より大幅に増加する。従ってエッチング面積によるエッチングレートの依存性が軽減し、エッチングレートが低下する。しかもチャンネル領域以外の N^+a-Si 膜(38)の下には、第2のゲート絶縁膜(36)である SiN_x 膜が有るので、チャンネル領域の $a-Si$ 膜(37)が露出すると同時に、この SiN_x 膜(36)も露出する。

【0018】例えば、分光分析法による検出装置を備えておけば、エッチングレートの低下も相俟って、チャンネル領域の $a-Si$ 膜(37)のエッチングをすることなく終点検出を達成できる。以上の方法によって達成された本液晶表示装置は、ドレイン電極(41)と一体のドレインラインの下層に N^+a-Si 膜(38)が形成されるため、何らかの原因に依りドレインラインが断線されても救済される。

【0019】

【発明の効果】以上の説明から明らかな如く、ドレイン電極およびこれと一体のドレインラインの下層に N^+a-Si 膜が設けられているため、ドレインラインに断線が生じても救済をすることができる。一方、 N^+a-Si 膜のエッチング面積を増大することにより、この N^+a-Si 膜のエッチングレートを低下でき、しかも N^+a-Si 膜のエッチング領域には、その下層にトランジ

スタのチャンネルに対応する $a-Si$ 膜と SiN_x 膜よりなる絶縁膜が存在するため、この絶縁膜の露出を検出することで、精度の高い終点検出が可能となる。従ってトランジスタの特性を改善できる。

【図面の簡単な説明】

【図1】本発明の製造方法を説明する要部断面図である。

【図2】本発明の製造方法を説明する要部断面図である。

【図3】本発明の製造方法を説明する要部断面図である。

【図4】本発明の製造方法を説明する要部断面図である。

【図5】本発明の製造方法を説明する要部断面図である。

【図6】本発明の製造方法を説明する要部断面図である。

【図7】従来の製造方法を示す要部断面図である。

【図8】従来の製造方法を示す要部断面図である。

【図9】従来の製造方法を示す要部断面図である。

【図10】従来の製造方法を示す要部断面図である。

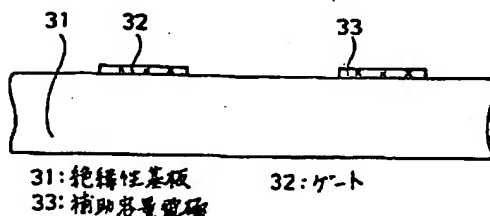
【図11】従来の製造方法を示す要部断面図である。

【図12】従来の製造方法を示す要部断面図である。

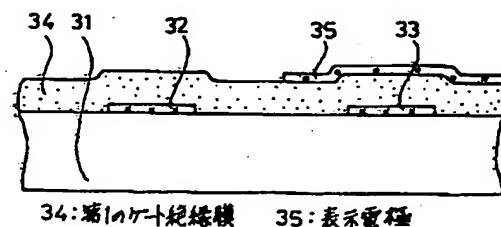
【符号の説明】

- 31 絶縁性基板
- 32 ゲート
- 34 第1のゲート絶縁膜
- 35 表示電極
- 36 第2のゲート絶縁膜
- 37 $a-Si$ 膜
- 38 N^+a-Si 膜
- 39 ソース電極
- 41 ドレイン電極

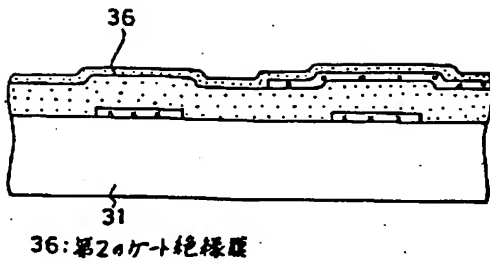
【図1】



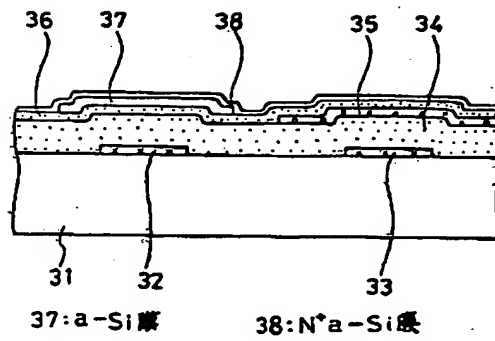
【図2】



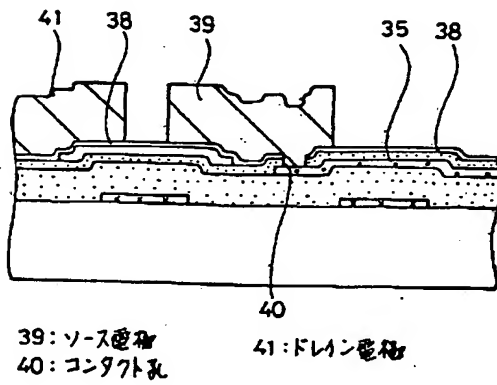
【図3】



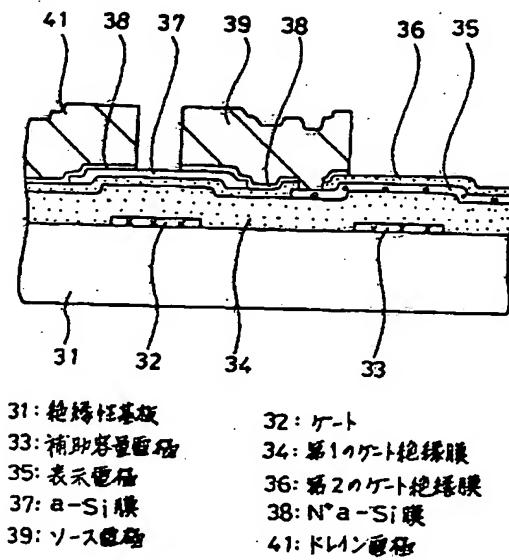
【図4】



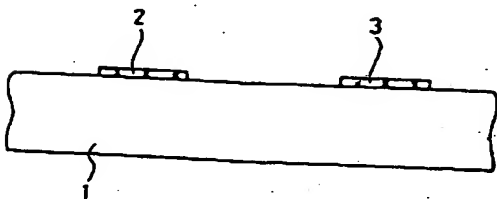
【図5】



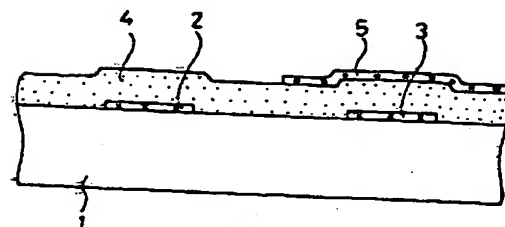
【図6】



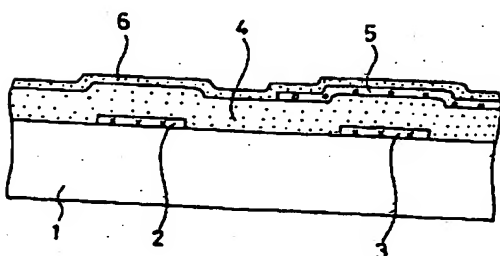
【図7】



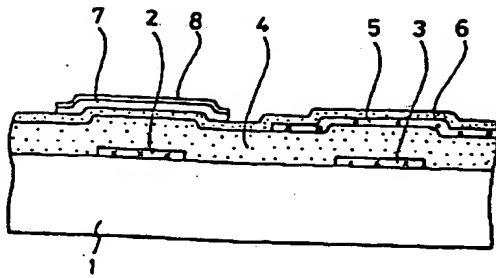
【図8】



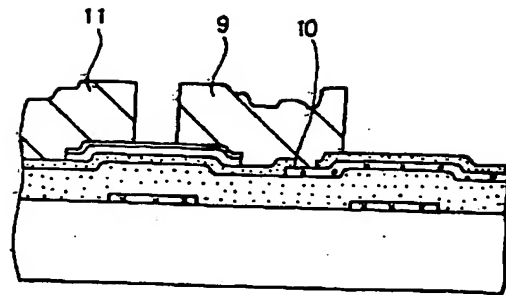
【図9】



【図10】



【図11】



【図12】

